

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 08222840  
 PUBLICATION DATE : 30-08-96

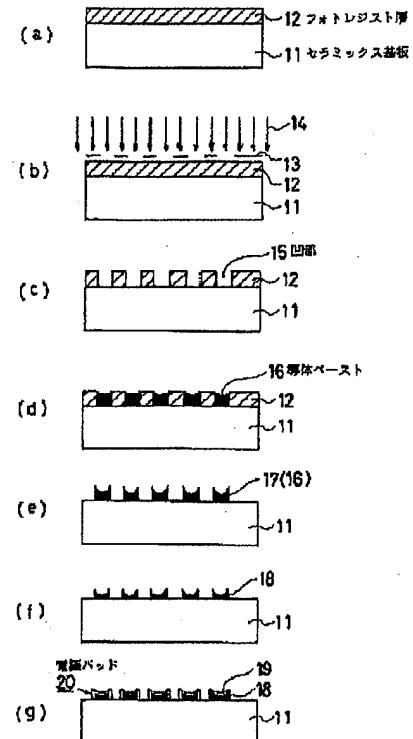
APPLICATION DATE : 15-02-95  
 APPLICATION NUMBER : 07026583

APPLICANT : SUMITOMO KINZOKU ELECTRO DEVICE:KK;

INVENTOR : TANAKA KAZUNARI;

INT.CL. : H05K 3/34 H05K 3/10

TITLE : CIRCUIT BOARD WITH ELECTRODE PAD AND ITS MANUFACTURE



ABSTRACT : PURPOSE: To improve the adhesion between solder bumps and electrode pads to prevent insufficient connection even when a large heat cycle load acts on the bumps or pads by specifying the size of the central recessed sections of the pads.

CONSTITUTION: After a photoresist layer 12 is formed over the entire surface of a ceramic substrate 11, recessed sections  $15 \geq 3\mu\text{m}$  deep are formed on the layer 12 in an electrode pad forming pattern 18 and filled with conductor paste 16. Then only the dried bodies 17 of the conductor paste are left on the substrate 11 and the pattern 18 is formed by baking the dried bodies 17. After forming the pattern 18, electrodeless-plated layers 19 are formed as electrode pads 20. Finally, an LSI is connected to the substrate 11 through the pads 20 and conducted.

COPYRIGHT: (C)1996,JPO

(51) Int.Cl. <sup>6</sup> H 05 K 3/34 3/10	識別記号 501	府内整理番号 7128-4E 7511-4E	F I H 05 K 3/34 3/10	技術表示箇所 501 A E
--	-------------	------------------------------	----------------------------	----------------------

## 審査請求 未請求 請求項の数 2 OL (全 8 頁)

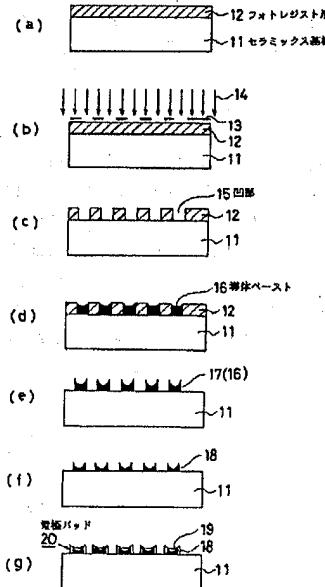
(21)出願番号 特願平7-26583	(71)出願人 000002118 住友金属工業株式会社 大阪府大阪市中央区北浜4丁目5番33号
(22)出願日 平成7年(1995)2月15日	(71)出願人 391039896 株式会社住友金属エレクトロデバイス 山口県美祢市大領町東分字岩倉2701番1
	(72)発明者 中田 好和 大阪府大阪市中央区北浜4丁目5番33号 住友金属工業株式会社内
	(72)発明者 三城 明 大阪府大阪市中央区北浜4丁目5番33号 住友金属工業株式会社内
	(74)代理人 弁理士 井内 龍二
	最終頁に続く

## (54)【発明の名称】電極パッド付き回路基板およびその製造方法

## (57)【要約】

【構成】電極パッド中央部の凹みが3μm以上である電極パッド20を有している電極パッド付き回路基板。

【効果】フリップチップ方式によるLSIとの接続の際に、半球状である半田バンプ23と電極パッド20の中央部との位置合わせが容易となる。このため、半田バンプ23と電極パッド20の中心が合致し易くなり、熱サイクル負荷時においても半田バンプ23と電極パッド20との接続部不良の発生を防ぐことができる。また、電極パッド20の形状が凹状であることにより、電極パッド20と半田バンプ23との接触面積を増大させ、接着性を向上させることができる。



## 【特許請求の範囲】

【請求項1】 電極パッド中央部の凹みが3μm以上である電極パッドを有していることを特徴とする電極パッド付き回路基板。

【請求項2】 セラミックス基板上もしくはセラミックスグリーンシート上にフォトレジスト層を形成するフォトレジスト層形成工程と、

前記フォトレジスト層に電極パッド形成パターン状に凹部を形成する凹部形成工程と、

前記凹部に導体ペーストを充填する導体ペースト充填工程と、

焼成により前記導体ペースト中の導体成分を前記セラミックス基板上もしくはセラミックスグリーンシートに焼き付ける焼き付け工程とを含んでいることを特徴とする請求項1記載の電極パッド付き回路基板の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は電極パッド付き回路基板及びその製造方法に関し、より詳細にはフリップチップ法によるLSIの接続に優れた電極パッド付き回路基板及びその製造方法に関する。

## 【0002】

【従来の技術】 近年、電子機器はますます高性能化、小型化、高密度化が進んできており、これらに実装される半導体装置の多ピン化、マルチチップ化も急速に進められつつある。これに伴い、LSIのボンディング法としては、ワイヤボンディング法、TAB (Tape Automated Bonding) 方式よりも、フリップチップ方式が多く採用されるようになってきている。フリップチップ方式とはLSIの一主面に形成されたパッド上にさらに半田パンプを形成し、基板側電極パッドと接続する方法であり、(1)接続長さが短縮でき電気特性が良好である。(2)狭ピッチにしなくともパッドを多く形成することができる。(3)LSI面積/パッケージ面積の比を大きくすることができる。(4)実装厚を薄くすることができる等の長所を有している。

【0003】 前記フリップチップ方式における半田パンプ接続用の電極パッドをセラミックス基板上に形成する方法としては、導体ペーストを電極パッド形成部にスクリーン印刷法にて塗布し、焼成後にメッキ工程を行う方法が一般的であり、他には、スパッタリング法により形成する方法もあるが、設備コスト、生産コストが極めて高く、実際にはあまり採用されていない。

【0004】 図3は、従来のフリップチップ方式によりLSIと基板とが接続された状態を示した模式的断面図であり、図中23は半田パンプを示している。半田パンプ23はLSI24側に形成されており、LSI24は、半田パンプ23、電極パッド22を介して基板21と接続され、導通が図られている。このフリップチップ方式による接続工程は、半田パンプ23が形成されたL 50

SI24を、半田パンプ23が基板21上に形成された電極パッド22上になるよう位置合わせし、フラックス(図示せず)による仮付けの後、リフロー処理により半田を溶融させる工程を含んでいる。

## 【0005】

【発明が解決しようとする課題】 LSI24に形成された半田パンプ23は溶融させることによりLSI24に被着させるが、半田パンプ23の溶融の際の表面張力により、半田パンプ23の形状は図3に示すような半球状(凸状)となる。

【0006】 他方、基板21上の電極パッド22はスクリーン印刷法にて形成され、同じく図3に示すような凸状となる。

【0007】 このため、LSI24上に形成された半田パンプ23と基板21上の電極パッド22との前記仮付け時において、前記凸状どうしがぶつかることにより双方の位置がずれやすいという課題があった。また、双方がずれた状態でリフロー処理が行われた場合、位置ズレたままの状態でLSI24と基板21とが接続され、温度サイクルにより半田パンプ23内にソルダクラックが生じたり、LSI24側の電極部(図示せず)にクラックが生じる虞がある等の課題があった。また、スクリーン印刷法により電極パッド22を形成するため、電極パッド22の高さにバラツキが発生し易く、半田パンプ23との接続不良が起こり易いといった課題があった。

【0008】 本発明は上記課題に鑑みなされたものであり、半田パンプと電極パッドとの接着性を向上させ、大きな熱サイクル負荷が作用しても半田パンプと電極パッドとの接続部不良の発生をなくすことができる電極パッド付き回路基板およびその製造方法を提供することを目的としている。

## 【0009】

【課題を解決するための手段】 上記目的を達成するため本発明に係る電極パッド付き回路基板は、電極パッド中央部の凹みが3μm以上である電極パッドを有していることを特徴としている(1)。

【0010】 また本発明に係る電極パッド付き回路基板の製造方法は、上記(1)記載の電極パッド付き回路基板の製造方法であって、セラミックス基板上もしくはセラミックスグリーンシート上にフォトレジスト層を形成するフォトレジスト層形成工程と、前記フォトレジスト層に電極パッド形成パターン状に凹部を形成する凹部形成工程と、前記凹部に導体ペーストを充填する導体ペースト充填工程と、焼成により前記導体ペースト中の導体成分を前記セラミックス基板上もしくはセラミックスグリーンシートに焼き付ける焼き付け工程とを含んでいることを特徴としている。

【0011】 以下、本発明に係る電極パッド付き回路基板の製造方法を図1(a)～(g)に基づいて説明する。

【0012】まずフォトレジスト層形成工程として、液状のフォトレジストを用いて、セラミックス基板11上にポジ型フォトレジスト層12を形成する(図1(a))。

【0013】本発明に使用するセラミックス基板11としては、配線基板として使用することができるものであれば特に限定されず、セラミックス基板として通常使用されるアルミナセラミックス基板の他、例えばムライトセラミックス基板、ガラスセラミックス基板、窒化アルミニウムセラミックス基板などが挙げられ、内部に配線などが形成された基板であってもよい。

【0014】また、本発明に使用するセラミックスグリーンシートは、前記セラミックス基板11の原料粉末を樹脂、溶剤、可塑剤等と混合したものを使用して形成することができ、内部に配線などが形成されたセラミックスグリーンシートであってもよい。

【0015】セラミックス基板11もしくは前記セラミックスグリーンシートの上に形成されるフォトレジスト層12としてはネガ型のものでも、ポジ型のものでも使用することができる。ポジ型のフォトレジスト層12を形成する場合は、まず液状のポジ型フォトレジストを例えばロールコーティング法、バーコーター法、ディップ法、ホイラー法(スピナーフラス)などの方法によりセラミックス基板11表面もしくはセラミックスグリーンシート表面に塗布した後、セラミックス基板11もしくはセラミックスグリーンシートをオープンにいれて約87~90℃で30~40分程度オープン等により加熱し、フォトレジストを乾燥、固化させ、ポジ型のフォトレジスト層12を形成する。前記液状のフォトレジストとしては、例えばヘキストジャパン社製のAZ4903、AZ4620A、東京応化工業社製のOPレジスト、東京エレクトロン社製のアキュトレース、日本チバガイギー社製のプロビマーなどが挙げられる。

【0016】フォトレジスト層12の厚みは10~50μmが好ましい。フォトレジスト層12の厚みが10μm未満では、後工程においてフォトレジスト層12に形成された凹部15に導体ペースト16を充填することが困難になり、他方、フォトレジスト層12の厚みが50μmを超えると後工程で現像処理した場合、微細な電極パッドパターンの形成が困難になる。なお、前記液状フォトレジストを用い、10μm~50μmのフォトレジスト層12をセラミックス基板11に均一に形成するには、前記塗布法のうち、ロールコーティング法またはバーコーター法がより好ましい。液状のフォトレジストを使用することにより、セラミックス基板11上に形成されたフォトレジスト層12はセラミックス基板の凹凸に余り影響されず、平坦性の高いフォトレジスト層12を形成することができる。

【0017】ネガ型のフォトレジスト層12を形成する場合も、液状のネガ型フォトレジストを用い、前記ポジ

型フォトレジストの場合と同様にフォトレジスト層12を形成することができる。

【0018】また、ドライフィルムレジストをセラミックス基板11上もしくはセラミックスグリーンシート上にラミネートしてもよい。ドライフィルムレジストのラミネート方法はセラミックス基板11もしくは前記セラミックスグリーンシートを100℃前後に加熱し、ドライフィルムレジストを熱圧着させればよく、ドライフィルムレジストとしてはデュポン社製商品名リストン、三菱レイヨン製商品名ダイヤロンなどが挙げられる。

【0019】以上のフォトレジストのうち、優れた解像度、現像工程において膨潤がないこと、セラミックス基板、セラミックスグリーンシートとの接着性に優れることなどの理由によれば、液状ポジ型フォトレジストが最も好ましい。

【0020】次に、凹部形成工程として、フォトレジスト層12に凹部15を形成する方法について説明する。

【0021】セラミックス基板11上もしくはセラミックスグリーンシート上に形成されたフォトレジスト層12に凹部15を形成する方法としては、フォトリソグラフィーの手法を用いる方法とレーザー光の照射によりフォトレジスト層12を分解、消失させる方法があるが、電極パッド20のサイズは通常、30μmから200μm程度であるため、この範囲のサイズの凹部を簡単なプロセスで一括して形成できるフォトリソグラフィー法が好ましく、ここではフォトリソグラフィーの手法により行った場合を説明する。

【0022】フォトレジスト層12に所定の電極パッド形成パターン18を有するフォトマスク13を介して紫外線14等による露光処理を施し、その後現像処理を施すことにより、フォトレジスト層12に電極パッド形成パターン18状に凹部15を形成する(図1(c))。

【0023】紫外線14等による露光処理の条件は特に限定されないが、露光量は通常700~800mJ/cm<sup>2</sup>が好ましい。前記露光量が700mJ/cm<sup>2</sup>未満であると現像によりセラミックス基板11の表面まで達する凹部15を完全に形成することが難しく、他方前記露光量が800mJ/cm<sup>2</sup>を超えるとオーバー露光となり、凹部15の断面形状が逆台形になるため好ましくない。

【0024】前記現像処理の条件も特に限定されるものではなく、通常行われるスプレー法又は浸漬振動法などの方法により現像処理を施すことができる。

【0025】この後、後工程で導体ペースト16を充填する際にフォトレジスト層12の凹部15が変形しないように、フォトレジスト層12を約87~90℃で30~40分程度加熱することが好ましい。

【0026】次に導体ペースト充填工程として、フォトレジスト層12に形成された凹部15に電極パッド形成用の導体ペースト16を充填する(図1(d))。

【0027】電極パッド形成用の導体ペースト16は導体粉末、無機結合粉末、樹脂および溶剤とからなり、導体ペースト16中の導体成分としては、セラミックス配線板の電極材料として公知の導体粉末を使用することができるが、その具体例として、例えばAu、Ag、Ag/Pd、Cu、Ni、Mo、W等が挙げられる。また、前記無機結合粉末は電極パッド20をセラミックス基板11に接着させる作用があるのであればよく、ガラス粉末、セラミックス粉末、金属酸化物粉末などが挙げられる。さらに前記樹脂は通常の導体ペーストに使用される公知の樹脂でよいが、フォトレジスト層12を溶解除去する場合にはこの溶解除去の際に溶解しない非水溶性の樹脂が好ましい。前記樹脂の具体例としては、例えばエチルセルロース、アクリル樹脂、メタクリル樹脂などが挙げられる。

【0028】また導体ペースト16の溶剤には、フォトレジスト層12を溶解しないものを用いる必要がある。これは、フォトレジスト層12を溶解する溶剤を用いて導体ペースト16を調整した場合、フォトレジスト層12の凹部15に導体ペースト16を充填するとポジ型フォトレジスト層12が前記溶剤に溶解し、凹部15の形状が崩れるためである。フォトレジスト層12を溶解しない溶剤としては、例えばトルエン、キシレン、ショウノウ油、テレピン油、パイン油、フェニルシクロヘキサン、ドデシルベンゼン等、誘電率の低い炭化水素系溶剤が挙げられる。

【0029】導体ペースト16をフォトレジスト層12の凹部15に充填するにはスキージ(図示せず)を用い、導体ペースト16を凹部15に直接刷り込むように充填する方法を取るのが好ましい。スキージの材質としてはゴム、テフロンが好ましい。なお、凹部15以外のフォトレジスト層12の表層に導体ペースト16が多少残存した場合には、導体ペースト16の付着していないスキージを用いて搔き取ることにより殆ど除去することができる。さらに、前記操作によっても除去できない極薄い導体ペースト16の層が存在する場合は、導体ペースト16を乾燥させた後、ラッピングフィルム(砥粒として粒径1μm程度のアルミナが被着しているもの)を用いて除去すればよい。また、凹部15内に導体ペースト16の充填不良が生じた場合には、充填方向を初期の充填方向より90度変換して再度充填すれば、完全に充填することができる。

【0030】導体ペースト16を充填した後の乾燥処理は、溶剤が完全に揮発する条件が好ましく、例えば、87~90℃で10~20分程度の加熱処理が好ましい。

【0031】次に、セラミックス基板11上もしくはセラミックスグリーンシート及びその上に電極パッド形成パターン18状に形成された導体の、焼き付け工程を行うのであるが、その前に、フォトレジスト層12を消失させておくことが好ましい。焼き付け工程時にフォトレジスト層12を焼却することにより消失させることも可能であるが、フォトレジスト層12は難焼却性のため焼成後に未焼却部が残る場合があるためである。フォトレジスト層12の消失工程は、フォトレジスト層12を溶解する溶液で現像処理を施して溶解除去すればよい。フォトレジスト層12を溶解させる溶液としては例えばカセイソーダ水等のアルカリ性水溶液が挙げられる。

【0032】以上フォトレジスト層12がポジ型である場合について述べてきたが、ネガ型である場合は、セラミックス基板11もしくはセラミックスグリーンシート上へのフォトレジスト層12の形成は液状ネガ型フォトレジストの塗布、もしくはネガ型ドライフィルムレジストをラミネートすればよく、導体ペースト16の充填も前記したポジ型フォトレジストを使用した場合と同様の方法及び条件で行うことができる。また、フォトレジスト層12の消失工程は、導体ペースト16が充填されたフォトレジスト層12をアルカリ性溶液で処理して溶解し、フォトレジスト層12を消失させることにより行う。前記アルカリ性溶液としてはポジ型フォトレジストを使用した場合と同様のものでよい。

【0033】以上、前記した諸工程を経ることにより、セラミックス基板11もしくはセラミックスグリーンシート上に導体ペースト16の乾燥体17のみが残存する(図1(e))。これを焼成処理することにより、セラミックス基板11上の導体ペースト16中の樹脂が分解、消失し、導体ペースト16に含まれている導体粉末が焼結して、セラミックス基板11上に所定の電極パッド形成パターン18が形成される(図1(f))。また、セラミックスグリーンシート上に導体ペースト16の乾燥体17を形成した場合は、セラミックスグリーンシートの焼結と導体の焼結が同時に起こり、セラミックス基板11上に所定の電極パッド形成パターン18が形成される。この時、電極パッド形成パターン18の他に信号線パターン、グランドパターン、パワーパターン等を同時に形成しておいてもよい。

【0034】上記焼成の条件は、通常の焼成条件でよい。すなわち、セラミックス基板11上に導体ペースト16の乾燥体17からなる電極パッド形成パターン18を形成した場合は、導体が焼結する焼成条件が適切であり、セラミックスグリーンシート上に導体ペースト16の乾燥体17からなる電極パッド形成パターン18を形成した場合は、セラミックスグリーンシートの焼結と導体の焼結が同時に起こる焼成条件が適切である。

【0035】さらに、上記した電極パッド形成パターン18にはNiメッキとAuメッキを施す(図1(g))ことが好ましい。メッキ法は電解メッキ法でも無電解メッキ法でもよいが、電解メッキ法は電極パッド形成パターン18に通電のための引き出し線を予め形成する必要があり、さらに、メッキ後に引き出し線を切断する工程をも必要とすることから、微細な電極パッド形成パター

ン18へのメッキは無電解メッキ法により行うことが好ましい。無電解メッキ処理は公知の方法で行うことができ、特に限定されることはない。

## 【0036】

【作用】本発明に係る電極パッド付き回路基板にあっては前記電極パッド中央部の凹みが3μm以上である前記電極パッドを有しているため、フリップチップ方式によるLSIとの接続の際に、半球状である半田バンプが前記電極パッドの中央部と位置合わせされ易くなる。このため、従来の様に前記半田バンプが基板側に形成された前記電極パッドの中心からずれて接続されがることがなくなり、大きな熱サイクル負荷が作用しても前記半田バンプと前記電極パッドとの接続部に不良が発生することはなくなる。

【0037】また、前記電極パッドの形状が凹状であることにより、前記電極パッドと前記半田バンプとの接触面積が増大し、接着性が向上する。

【0038】また、本発明に係る電極パッド付き回路基板の製造方法にあっては、前記フォトレジスト層に前記電極パッド形成パターン状に前記凹部を形成する前記凹部形成工程と、前記凹部に前記導体ペーストを充填する前記導体ペースト充填工程とを含んでおり、前記フォトレジスト層内に形成された前記凹部に前記導体ペーストを充填した際に、前記導体ペーストの表面張力により前記充填部の中央部が凹み、前記導体ペースト中の液体成分である溶剤を揮発させる際にも前記充填部の中央部がさらに凹むため、前記導体ペーストの乾燥体からなる前記電極パッドの形状が凹状になる。このため、前記焼成および前記メッキ後も前記電極パッドの形状は凹状になり、本発明に係る中央部が凹んだ電極パッド付き回路基板を製造することができる。

【0039】さらに、前記フォトレジスト層の厚みが均一であるため、前記電極パッド高さのバラツキもほとんどなくなり、前記半田バンプとの接続不良が皆無となる。

## 【0040】

【実施例及び比較例】以下、本発明の実施例に係る電極パッド付き回路基板およびその製造方法を図面に基づいて説明する。

【0041】【実施例1】まず、厚み2mm、1辺の長さ50mmの正方形形状の(アルミナ)セラミックス基板11の全面に液状ボジ型フォトレジスト(ヘキストジャパン社製AZ4903)をバーコーター法により塗布し、これを、ブリペーク処理として、90°Cに保ったオーブン中にいれて30分間乾燥させ、フォトレジスト層12を形成した(図1(a))。乾燥後のフォトレジスト層12の膜厚は25μmであった。

【0042】次に、フォトレジスト層12に所定の電極パッドパターン(直径:100μmの円形状、電極パッド間のピッチ:250μm)を有するフォトマスク13

を介して、露光量が700mJ/cm<sup>2</sup>の条件で紫外線14による露光処理を施した(図1(b))。

【0043】次に現像液(ヘキストジャパン社製の40OKと水とを1:4の割合で混合した溶液)中にフォトレジスト層12を有するアルミナセラミックス基板11を浸漬し、浸漬振動法により現像処理を施して、フォトレジスト層12に電極パッド形成パターン18状の凹部15を形成した(図1(c))。

【0044】次に導体材料として銅粉末85wt%、鉛ホウケイ酸系ガラス粉末3wt%、アクリル樹脂3wt%、溶剤(パイン油)9wt%を含有する(銅)導体ペースト16を用い、この導体ペースト16を凹部15が形成されたフォトレジスト層12上に少量置き、テフロン製のスキージ(サイズ:縦50mm、横100mm、厚さ3mm)(図示せず)をフォトレジスト層12の表面に接触させたまま水平に移動させ、フォトレジスト層12の凹部15に導体ペースト16を擦り込むようにして充填した(図1(d))。この時のスキージ移動速度は2.5mm/秒に設定した。凹部15以外のボジ型フォトレジスト層12の表面に銅導体ペースト16が残存した場合は、銅導体ペースト16の付着していないテフロン製のスキージにて搔き取った。

【0045】その後、前記工程を経たセラミックス基板11をオーブンにいれ、凹部15に充填された導体ペースト16を90°Cで10分間加熱することにより乾燥させ、溶剤を揮発させると共に、導体ペースト16中の原料粉末をセラミックス基板11に結着させた。テフロン製のスキージによる搔き取り処理でも除去できなかった余剰の導体ペースト(例えば厚み約2μm)に関してはその後ラッピングフィルム(砥粒として粒径1μmのアルミナが接着しているもの)を用いてフォトレジスト層12の表面を約10秒間研磨し、除去した。

【0046】次に前記工程を経たセラミックス基板11を室温のNaOH3%水溶液に1分間浸漬し振動させることにより現像処理を施し、フォトレジスト層12を溶解、消失させ、セラミックス基板11上に導体ペーストの乾燥体17のみを残した(図1(e))。

【0047】次に前記工程を経たセラミックス基板11を純窒素ガス雰囲気中、900°Cで焼成することにより、導体ペーストの乾燥体17中の樹脂を分解、消失させ、かつ導体をセラミックス基板11に焼き付けて、電極パッド形成パターン18を形成した(図1(f))。

【0048】次に、この電極パッド形成パターン18表面に、Niメッキ層が3.5μm、Auメッキ層が0.8μmとなるように無電解メッキ処理を施してNi、Auの無電解メッキ層19を形成し、電極パッド20とした(図1(g))。

【0049】上記メッキ層形成工程は、メッキ前処理液であるセンシティジング液及びアクチベーティング液、Niメッキ液、Auメッキ液に順次浸漬すること

により行った。なお、各溶液から取り出したサンプルは充分に水洗して次の溶液に浸漬した。

【0050】【実施例2】(アルミナ)セラミックス基板11の代わりに(アルミナ)グリーンシートを用い、導体ペースト16としてはタンクスチン導体ペーストを用い、焼成条件としては窒素-水素-水蒸気雰囲気で加熱温度1550℃とした他は、実施例1の場合と同様にして電極パッド20を形成した。

【0051】図2は、このようにして得られた実施例1及び実施例2に係る電極パッド付き回路基板にLSIを接続した状態を示した模式的断面図である。半田パンプ23はLSI24側に形成されており、LSI24は、半田パンプ23、電極パッド20を介してセラミックス基板11と接続され、導通が図られている。電極パッド20の形状を表面荒さ計にて測定したところ中央部の凹みは3μm以上であった。また、電極パッド20の高さのバラツキは±0.5μm以内であった。

【0052】ここで、電極パッド20の高さのバラツキは、まず上記実施例により製造した各20個のサンプルに形成された電極パッド20の高さを(東京精密社製surfcom112B)により測定し、得られた電極パッド高さの最大値と最小値の差を求めたものである。

【0053】次に、Pb-5Snからなる半田パンプ23(パンプ高さ100μm)を介し、実施例1及び実施例2に係る電極パッド付き回路基板にLSI(チップサイズ9mm×9mm)24を仮つけし、その後リフロー処理(加熱温度360℃)を施して接続した(図2)。これらに対し、熱サイクルテストとして、-45℃～100℃の大気中において1サイクル/1時間の温度サイクル下で、接続抵抗値増大によるチップ累積不良率とテスト時間との関係を求めた結果、5000サイクル後においても前記チップ累積不良率は0%であった。なお、チップ不良の判断としては、LSI24内の半田パンプ23の内1つでも0.05Ω以上(測定電流1mA)の抵抗増が観察されればそのLSI24は不良とみなし

た。

【0054】【比較例1】一方、従来から行われている方法で電極パッドを形成した場合と具体的に比較するため、比較例としてセラミックス基板21上に直接スクリーン印刷法を用いて電極パッド22を形成したものを採用した。

【0055】すなわち比較例1では、実施例1で使用したセラミックス基板11上に実施例1で使用した導体ペースト16を用いてスクリーン印刷法により導体ペースト16のパターンを形成し、焼成後、実施例1の場合と同様にNiメッキ、Auメッキ処理を施した。

【0056】このようにして得られた比較例1に係る電極パッド付き回路基板の電極パッド22の形状を表面荒さ計にて測定したところ、中央部が周辺部よりも3μm高くなっている凸状であった。また、電極パッド22の

高さのバラツキは±3μmであった。

【0057】また実施例1の場合と同様の熱サイクルテストを行ったところ、1000サイクル時までに累積不良率は100%に達した。

【0058】【比較例2】比較例2では、実施例2で使用したグリーンシートに、実施例2で使用したタンクスチンペーストを用いてスクリーン印刷法により、導体ペースト16のパターンを形成し、焼成後、実施例2の場合と同様にNiメッキ、Auメッキ処理を施した。

【0059】このようにして得られた比較例2に係る電極パッド付き回路基板の電極パッド22の形状を表面荒さ計にて測定したところ、中央部が周辺部よりも2μm高くなっている凸状であった。また、電極パッド22の高さのバラツキは±3μmであった。

【0060】また実施例1の場合と同様の熱サイクルテストを行ったところ、1000サイクル時までに累積不良率は100%に達した。

【0061】【比較例3】比較例3では、実施例1で使用したセラミックス基板11上にチタン+モリブデン+銅からなる試料を用いて、スパッタリング法により導体パターンを形成し、実施例1の場合と同様にNiメッキ、Auメッキ処理を施した。

【0062】このようにして得られた比較例3に係る電極パッド付き回路基板の電極パッド22の形状を表面荒さ計にて測定したところ、表面荒さが±0.5μm以下の平滑性を有する矩形状であった。

【0063】また実施例1の場合と同様の熱サイクルテストを行ったところ、3000サイクル時までに累積不良率は100%に達した。

【0064】以上説明したように、実施例1、2に係る電極パッド付き回路基板においては電極パッド20の高さばらつきが±0.5μmと均一化されており、熱サイクル負荷を与えた後もチップ累積不良率は0%と、半田パンプ23との接続が良好に行われていた。一方、比較例1、2に係る電極パッド付き回路基板においては、従来のスクリーン印刷法により直接電極パッド22を形成しているので、電極パッド22の高さばらつきが±3μmと大きく、また比較例1～3に係るものすべてが1000～3000サイクルで累積不良率は100%に達した。

【発明の効果】以上詳述したように本発明に係る電極パッド付き回路基板にあっては、電極パッド中央部の凹みが3μm以上である電極パッドを有しているため、フリップチップ方式によるLSIとの接続の際に、半球状である半田パンプと前記電極パッドの中央部との位置合わせが容易となる。このため、従来の様に半田パンプが基板側に形成された電極パッドの中心から離れて接続されることがなくなり、熱サイクル負荷時においても半田パンプと電極パッドとの接続部不良の発生を防ぐことがで

きる。

【0066】また、電極パッドの形状が凹状であることにより、電極パッドと半田バンプとの接触面積を増大させ、接着性向上させることができる。

【0067】また、本発明に係る電極パッド付き回路基板の製造方法にあっては、前記フォトレジスト層に電極パッド形成パターン状に凹部を形成する凹部形成工程と、前記凹部に導体ペーストを充填する導体ペースト充填工程とをふくんでおり、前記フォトレジスト層内に形成された前記凹部に導体ペーストを充填した際に、前記導体ペーストの表面張力により充填部の中央部が凹み、前記導体ペースト中の液体成分である溶剤を揮発させる際にも前記充填部の中央部がさらに凹むため、前記導体ペーストの乾燥体からなる電極パッドの形状が凹状になる。このため、前記焼成および前記メッキ後も前記電極パッドの形状は凹状になり、これら特徴を有する本発明に係る中央部が凹んだ電極パッド付き回路基板を製造することができる。

【0068】さらに、前記フォトレジスト層の厚みが均

一であるため、前記電極パッド高さのバラツキもほとんどなくなり、前記半田バンプとの接続不良を皆無とすることができる。

【図面の簡単な説明】

【図1】(a)～(g)は本発明の実施例に係る電極パッド付き回路基板の製造方法を各工程順に示した模式的断面図である。

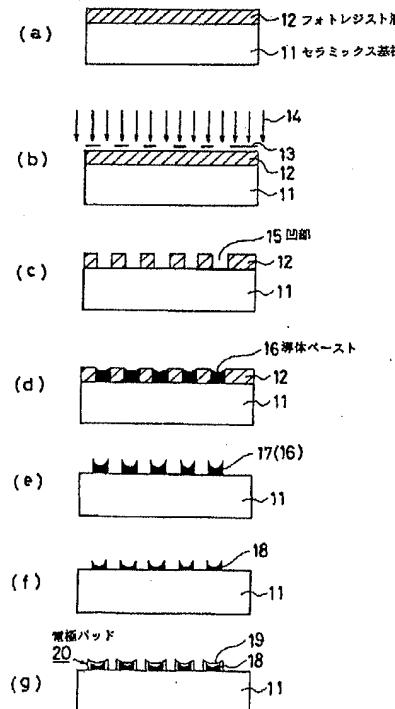
【図2】実施例に係る電極パッド付き回路基板にLSIが実装された状態を示した模式的断面図である。

【図3】比較例に係る電極パッド付き回路基板にLSIが実装された状態を示した模式的断面図である。

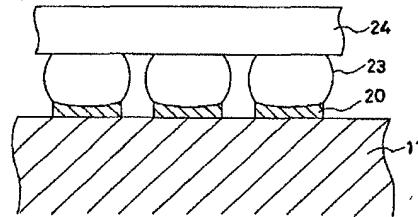
【符号の説明】

- 11 セラミックス基板
- 12 フォトレジスト層
- 15 凹部
- 16 導体ペースト
- 18 電極パッド形成パターン
- 20、22 電極パッド

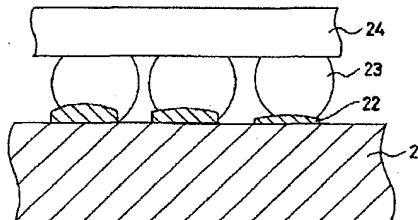
【図1】



【図2】



【図3】



フロントページの続き

(72)発明者 田中 一成  
山口県美祢市大嶺町東分字岩倉2701番1  
株式会社住友金属セラミックス内